

EU

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

PCT/JP 00/02867

28.04.00

REC'D 03 JUL 2000

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 4月30日

出 願 番 号

Application Number:

平成11年特許願第124515号

出 願 人

Applicant(s):

ローム株式会社

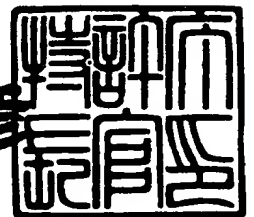
**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月16日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3045011

【書類名】 特許願

【整理番号】 PR9-00137

【提出日】 平成11年 4月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/70

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町2 1 番地 ローム株式会社内

 【氏名】 坂本 和久

【特許出願人】

 【識別番号】 000116024

 【住所又は居所】 京都府京都市右京区西院溝崎町2 1 番地

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100087701

 【弁理士】

 【氏名又は名称】 稲岡 耕作

【選任した代理人】

 【識別番号】 100075155

 【弁理士】

 【氏名又は名称】 亀井 弘勝

【選任した代理人】

 【識別番号】 100101328

 【弁理士】

 【氏名又は名称】 川崎 実夫

【手数料の表示】

 【予納台帳番号】 011028

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9401527
【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置
【特許請求の範囲】

【請求項 1】

ベース部にユニバーサル電極構造を内蔵したバイポーラトランジスタを含む半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、バイポーラトランジスタを有する半導体装置に関する。

【0002】

【従来の技術】

従来から用いられているバイポーラトランジスタの原理的な構成は、図12に示されている。すなわち、N型半導体基板1の表層部に、P型のベース領域12が形成され、このP型のベース領域12内にN型のエミッタ領域13が形成されている。ベース領域12およびエミッタ領域13には、それぞれベース電極15およびエミッタ電極16が接合されている。コレクタ電極は、N型半導体基板1の裏面側において、N⁺型領域14を介してとられるようになっている。17は絶縁膜である。

【0003】

電流増幅率を上げるためには、ベース領域12の不純物濃度を薄くする必要がある。しかし、この不純物濃度を過度に薄くすると、ベース領域12とベース電極15との接合部がショットキ接合となり、トランジスタ特性が得られない。そこで、ベース領域12においてベース電極15の接合位置には、オーミック接合を形成するためのP⁺型領域18が形成されている。

【0004】

【発明が解決しようとする課題】

ところが、このような構成では、小数キャリアである電子がベース領域12とP⁺型領域18との間のP/P⁺接合によってせき止められ、スイッチング動作

時に、ベース領域 12 において電子の蓄積が起こる。これにより、スイッチング損失が大きくなり、高速なスイッチングが妨げられるうえ、消費電力の増大を招くという問題がある。

【0005】

そこで、この発明の目的は、高速なスイッチングが可能で、かつ、消費電力の低減を図ることができるバイポーラトランジスタを有する半導体装置を提供することである。

【0006】

【課題を解決するための手段および発明の効果】

上記の目的を達成するための請求項 1 記載の発明は、ベース部にユニバーサル電極構造を内蔵したバイポーラトランジスタを含む半導体装置である。

より具体的には、上記バイポーラトランジスタは、半導体基板に形成された第 1 の導電型のベース領域と、このベース領域内に形成された第 2 の導電型（第 1 の導電型とは異なる導電型）のエミッタ領域と、ベース領域に接触して形成された第 2 の導電型のコレクタ領域とを有し、ベース領域においてベース電極が接続される部位にユニバーサル電極構造を形成したものである。

【0007】

ユニバーサル電極構造は、ベース部の小数キャリアに対して障壁をなす第 1 領域と、上記小数キャリアを引き込む第 2 領域とを電荷の移動方向と交差する方向に沿って交互に配置した構造である。この第 1 および第 2 領域に接触するようにベース電極が設けられるのが好ましい。たとえば、ベース領域が P 型領域である場合に、 P^+ 型領域と N^+ 型領域とを電荷の移動方向と交差する方向に交互に配置したり、 P^+ 型領域と P 型領域とを電荷の移動方向と交差する方向に交互に配置したりすることによってユニバーサル電極構造を形成することができる。

【0008】

本発明の構成によれば、ベース部にユニバーサル電極構造を内蔵しているため、ベース部における小数キャリアの蓄積を抑制できる。これにより、スイッチング動作を高速にすることができ、かつ、スイッチング損失を低減できるので、消費電力を低減できる。

【0009】

【発明の実施の形態】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、この発明の1実施形態に係るバイポーラトランジスタの原理的構造を示す断面図である。N型半導体基板21の表面には、P型のベース領域22が形成されており、このP型のベース領域22内に、N型のエミッタ領域23が形成されている。これにより、NPN構造が形成されていて、N型半導体基板21がコレクタ領域を形成している。

【0010】

ベース領域22の表面には、エミッタ領域23から離間した位置に、ユニバーサル電極構造部25が設けられており、このユニバーサル電極構造部25にベース電極26が接合されている。また、エミッタ領域23には、エミッタ電極27が接合されている。コレクタ電極は、半導体基板21の裏面側に形成された N^+ 型領域28から取られている。29は、絶縁膜である。

【0011】

図2は、ユニバーサル電極構造部25の付近の構造を拡大して示す断面図である。ユニバーサル電極構造部25は、微小幅の P^+ 型領域251と、同じく微小幅の N^+ 型領域252とを、ベース電極26に接触するように交互に配置して構成されている。すなわち、P型領域251とN型領域252とは、ベース領域22とベース電極26との間の電荷の移動方向と交差する方向に沿って交互に配列されている。

【0012】

この構成により、ベース領域22における多数キャリアであるホールは、 P^+ 型領域251を通して移動することができ、少数キャリアである電子は、 N^+ 型領域252に落ち込むことができる。したがって、ベース領域22における電子の蓄積が抑制され、高速でかつ損失の少ないスイッチングが可能になる。

図3は、バイポーラトランジスタ T_r を用いたスイッチング回路の構成例を示す電気回路図であり、図4は、バイポーラトランジスタ T_r のスイッチング特性を示す図である。図4(a)はベース電流 I_B を示し、図4(b)はコレクタ電流 I

I_C を示し、図 4 (c) コレクターエミッタ間電圧 V_{CE} を示す。そして、図 4 (b) および図 4 (c) において、図 1 のバイポーラトランジスタをトランジスタ T_r に適用したときの特性は実線で示されており、図 1 2 の従来のバイポーラトランジスタをトランジスタ T_r に適用したときの特性は二点鎖線で示されている。

【0 0 1 3】

図 4 から明らかなように、トランジスタ T_r が遮断されるとき蓄積時間 (T_{stg}) および降下時間 (T_f) の和であるターンオフ時間 T_{off} ($= T_{stg} + T_f$) が、ユニバーサル電極構造を有するこの実施形態のバイポーラトランジスタを用いた場合に、著しく改善されることが理解される。

ベース領域 2 2 に蓄積されたキャリアを零にするのに要する時間 T_{off} は、本実施形態の構成を採用することにより、従来の構成の場合の約 $1/2$ ないし $1/3$ にすることができる。トランジスタ T_r のオフ時の電力ロス、図 4 (c) における領域 S_I (本実施形態の構成の場合)、 S_P (従来の構成の場合) の面積により表すことができ、より具体的には、下記第(1)式により表すことができる。

【0 0 1 4】

【数 1】

$$\frac{1}{2} I_C \cdot V_{CE(sat)} \cdot (T_{stg}/T) + \frac{1}{6} I_C \cdot V_{CC} \cdot T_f \quad (1)$$

ただし、 T は、繰返し周期

【0 0 1 5】

したがって、時間 T_{off} を格段に短縮することができる本実施形態のバイポーラトランジスタを用いることにより、消費電力を格段に低減することができる。

図 5 は、本実施形態に係るバイポーラトランジスタの具体的な構成例を示す平面図である。ベース領域 2 2 内には、図 5 において左右方向に延びる短冊状のエミッタ領域 2 3 が複数個配列されて形成されている。このエミッタ領域 2 3 の端部を回り込んで、隣接するエミッタ領域 2 3 間に入りこむように、ユニバーサル電極構造部 2 5 が帯状に形成されている。

【0 0 1 6】

図6に拡大して示すように、帯状のユニバーサル電極構造部25は、その長さ方向に沿って形成され、その幅方向に交互に配列された帯状 P^+ 型領域251および帯状 N^+ 型領域252を有している。

エミッタ領域23およびユニバーサル電極構造部25を覆うように形成された絶縁膜（図示せず）には、エミッタ領域23を露出させる複数のコンタクト孔35およびユニバーサル電極構造部25を露出させるコンタクト孔（図示せず）が形成されている。そして、図7に示すように、エミッタ電極27は、複数のコンタクト孔35に共通に接続されるように形成されており、ユニバーサル電極構造部25を露出させるコンタクト孔に接続するようにベース電極26が形成されている。ベース電極26およびエミッタ電極27は、図7に示すように互いに噛み合う櫛形電極で形成されていてもよい。

【0017】

図8は、上記実施形態に係るバイポーラトランジスタの別の具体的構成例を示す平面図である。この構成では、ベース領域22の露出部22Eが格子状に配列されて点在しており、その他の領域では、エミッタ領域23が半導体基板表面に露出している。そして、各露出部22Eにユニバーサル電極構造部25が形成されている。

【0018】

すなわち、図9に拡大して示すように、 P^+ 型領域251および N^+ 型領域252が同心円状に交互に形成されて、ユニバーサル電極構造部25を構成している。

この構成の場合にも、図10に示すように、ベース電極26およびエミッタ電極27は、互いに絡み合う櫛形電極で構成することができる。そして、ベース電極26は、露出部22Eに形成されたコンタクト孔（図示せず）を介してユニバーサル電極構造部25と接合され、エミッタ電極27は、適所に形成されたコンタクト孔37（図8参照）を介してエミッタ領域23と接合されている。

【0019】

図11は、この発明の他の実施形態に係るバイポーラトランジスタのユニバーサル電極構造部の構成を拡大して示す断面図である。この図11において、上述

の図 2 の各部に対応する部分には、図 2 の場合と同じ符号を付して示す。この実施形態では、P 型のベース領域 2 2 に内蔵して形成されたユニバーサル電極構造部 5 0 は、電荷の移動方向と交差する方向に沿って複数の P^+ 型領域 5 1 を互いに離間して配列して形成されている。そして、隣接する P^+ 型領域 5 1 の間においては、ベース電極 2 6 と P 型のベース領域 2 2 との間でショットキー接合が形成されており、全体として、ショットキーユニバーサル電極構造が形成されている。

【0020】

この構成では、ベース領域 2 2 に蓄積された小数キャリアをショットキー接合部を介して速やかに放出することができる。これにより、上述の第 1 の実施形態の場合と同様に、ベース領域 2 2 における小数キャリアの蓄積を抑制でき、高速なスイッチング動作を実現できるとともに、低消費電力駆動が可能になる。

この発明の 2 つの実施形態について説明したが、この発明は、他の形態で実施することも可能である。たとえば、上述の実施形態では、NPN トランジスタを例にとったが、この発明は、PNP トランジスタにも適用することができる。この場合には、N 型のベース領域に、 N^+ 領域と P^+ 領域とを交互に配列したユニバーサル電極構造部、または複数の N^+ 領域を離間して配列したショットキーユニバーサル電極構造部を設ければよい。さらに、ショットキー部を、アルミニウム (Al) 以外のチタン (Ti) などの電極材に変えることにより形成してもよい。

【0021】

さらに、上述の実施形態では、1 個のバイポーラトランジスタを有する半導体装置を例にとったが、この発明は、複数個のバイポーラトランジスタを有する半導体装置やバイポーラトランジスタ以外の機能素子を同一半導体基板上に有する半導体装置などにも適用することができる。

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図 1】

この発明の一実施形態に係るバイポーラトランジスタの原理的な構成を示す断面図である。

【図 2】

ユニバーサル電極構造部付近の構成を拡大して示す断面図である。

【図 3】

バイポーラトランジスタを用いたスイッチング回路の構成例を示す電気回路図である。

【図 4】

バイポーラトランジスタの動作特性を説明するための波形図である。

【図 5】

上記実施形態のバイポーラトランジスタの具体的な構成例を示す平面図である。

【図 6】

ユニバーサル電極構造部の構成を拡大して示す平面図である。

【図 7】

上記具体的構成例における電極配置を示す平面図である。

【図 8】

上記実施形態のバイポーラトランジスタの他の具体的な構成例を示す平面図である。

【図 9】

ユニバーサル電極構造部の構成を拡大して示す平面図である。

【図 10】

上記具体的構成例における電極配置を示す平面図である。

【図 11】

この発明の他の実施形態に係るバイポーラトランジスタの部分拡大断面図である。

【図 12】

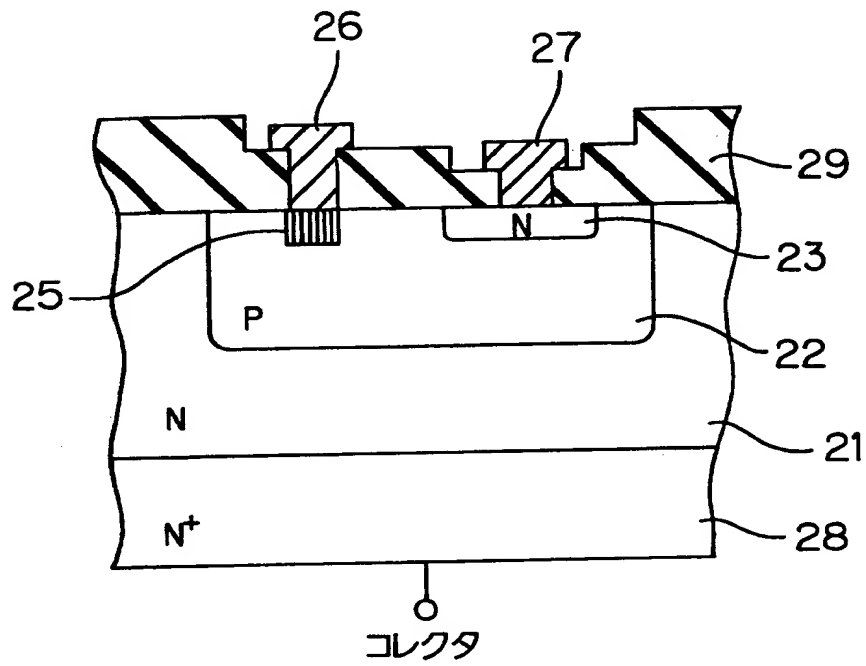
従来のバイポーラトランジスタの原理的な構成を示す断面図である。

【符号の説明】

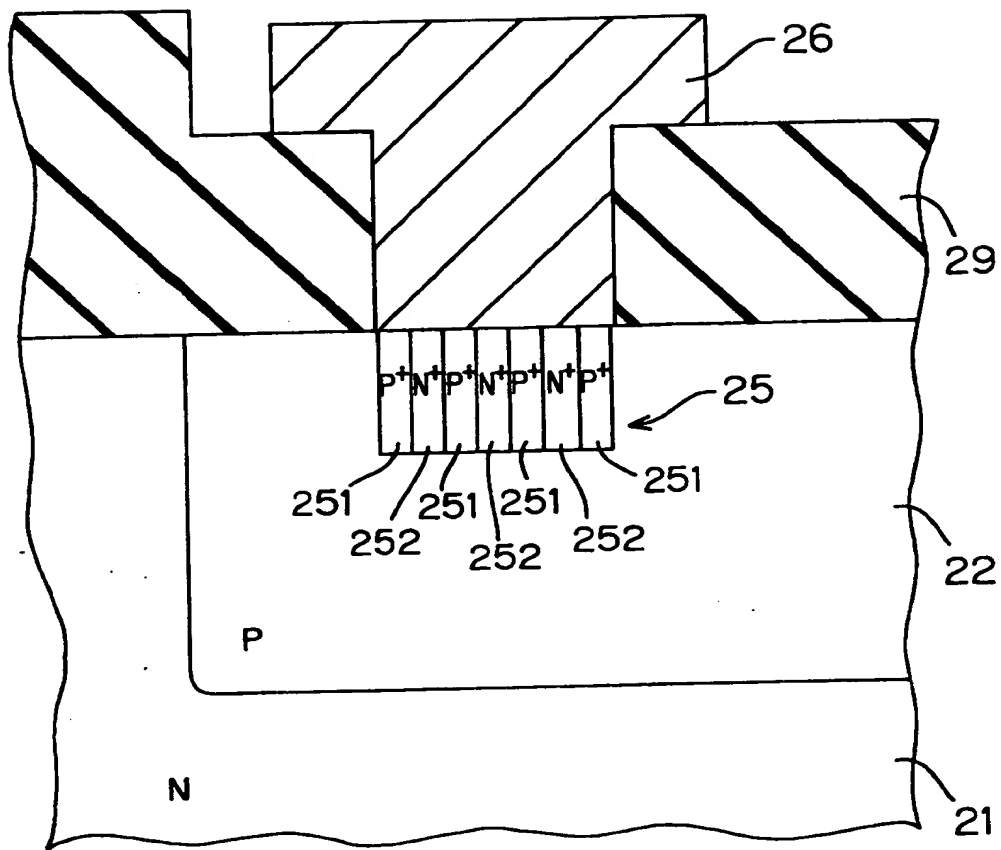
- 2 1 N型半導体基板
- 2 2 ベース領域
- 2 3 エミッタ領域
- 2 5 ユニバーサル電極構造部
- 2 5 1 P⁺ 型領域
- 2 5 2 N⁺ 型領域
- 2 6 ベース電極
- 2 7 エミッタ電極
- 5 0 ユニバーサル電極構造部
- 5 1 P⁺ 型領域

【書類名】 図面

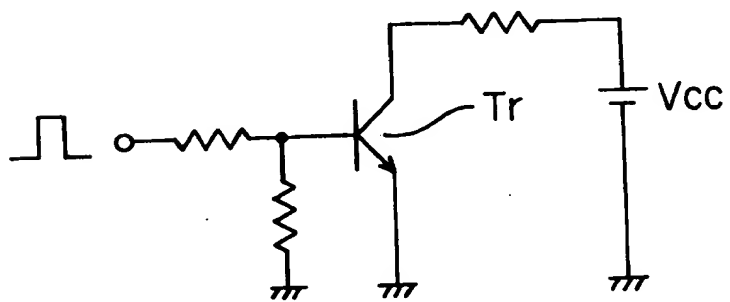
【図 1】



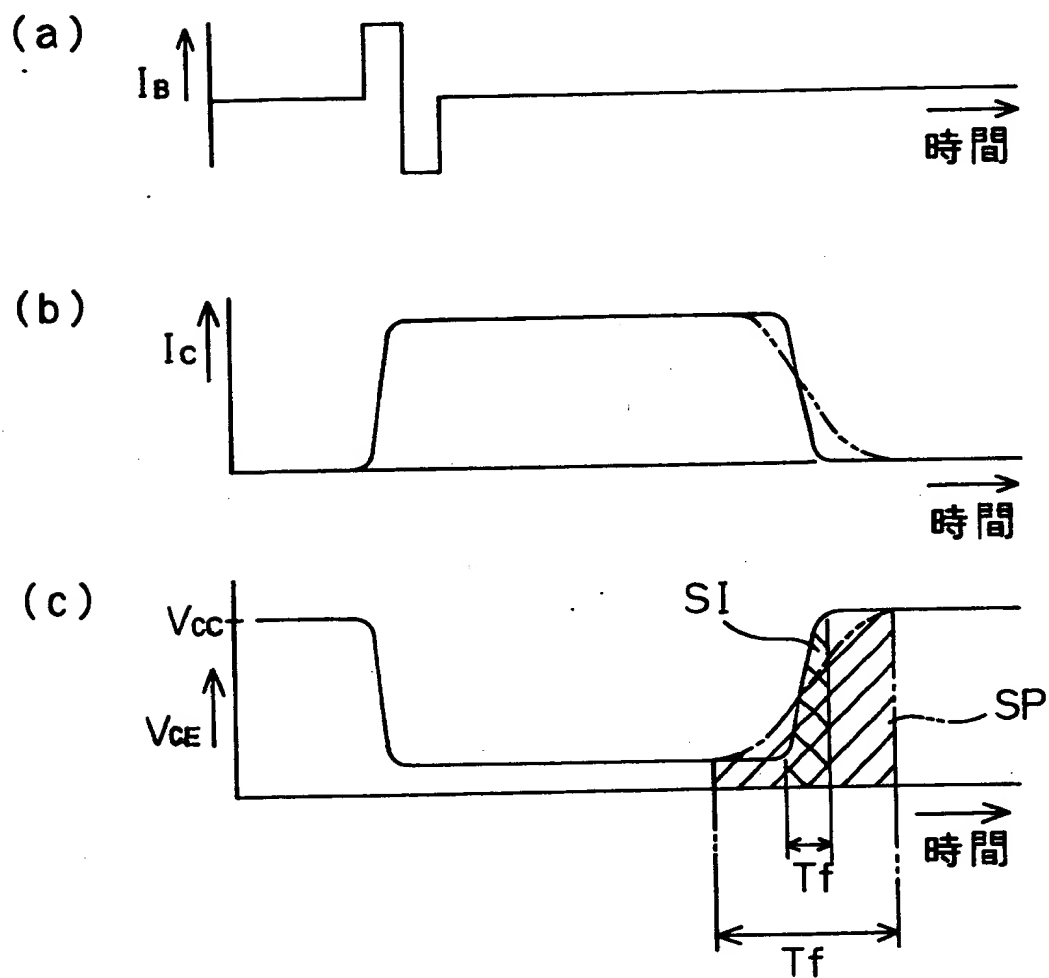
【図 2】



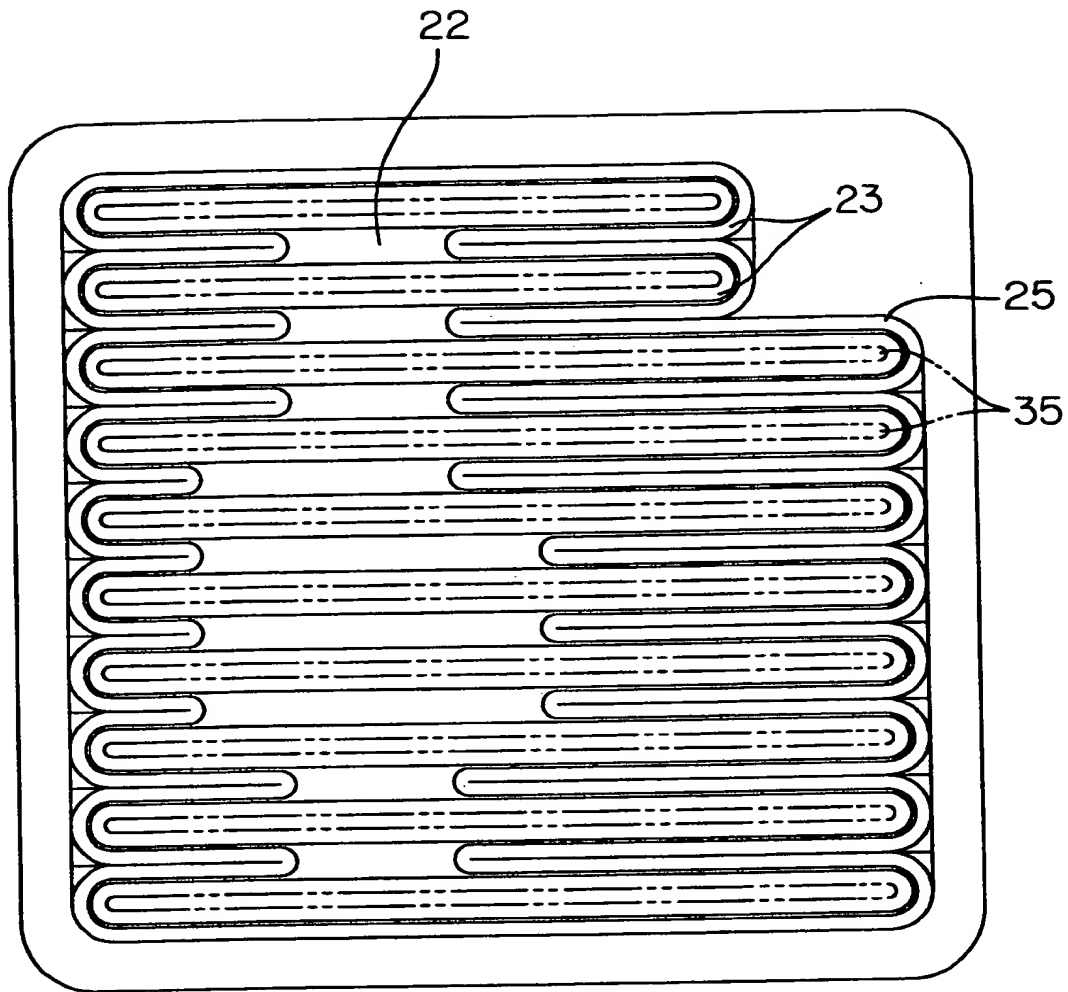
【図 3】



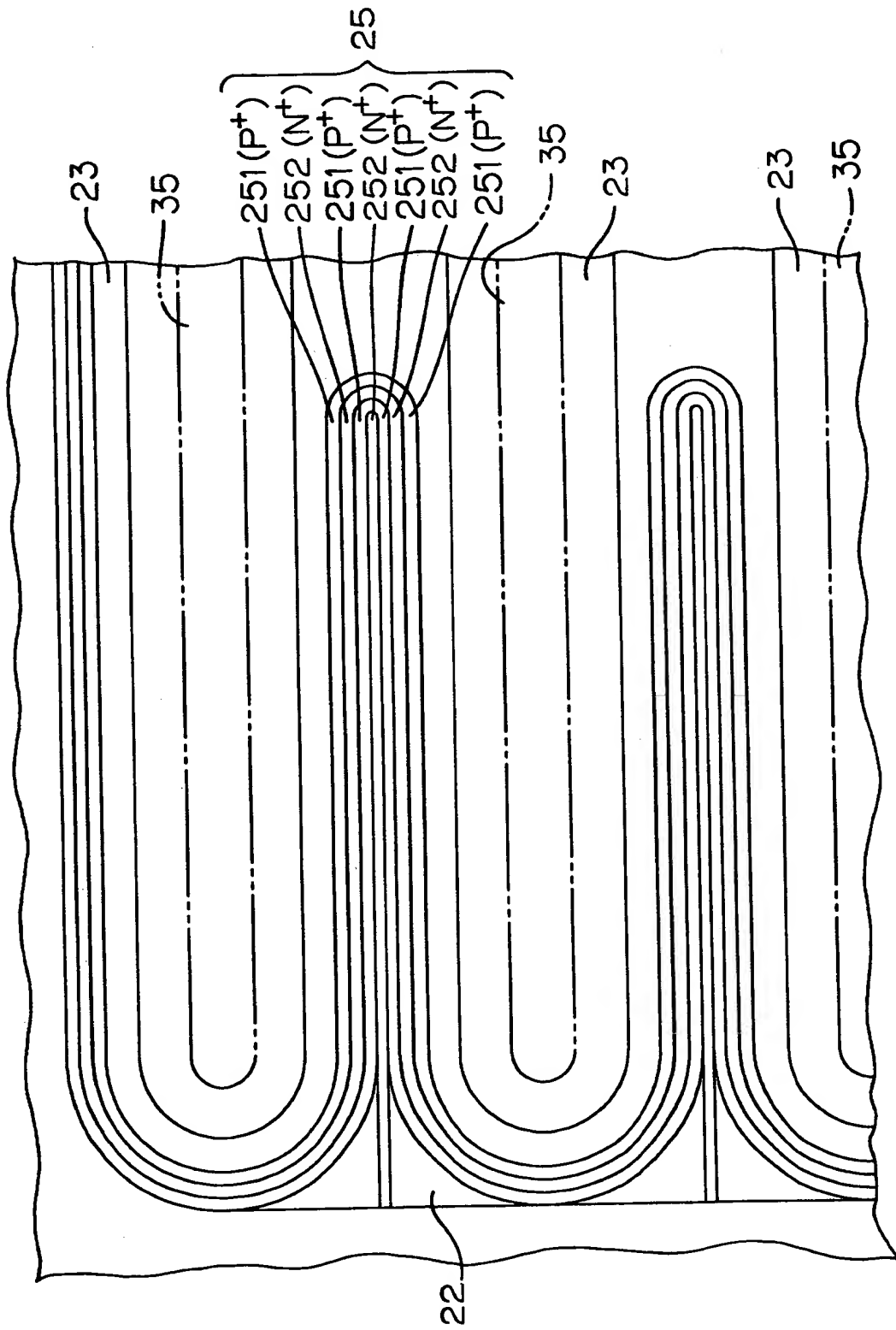
【図4】



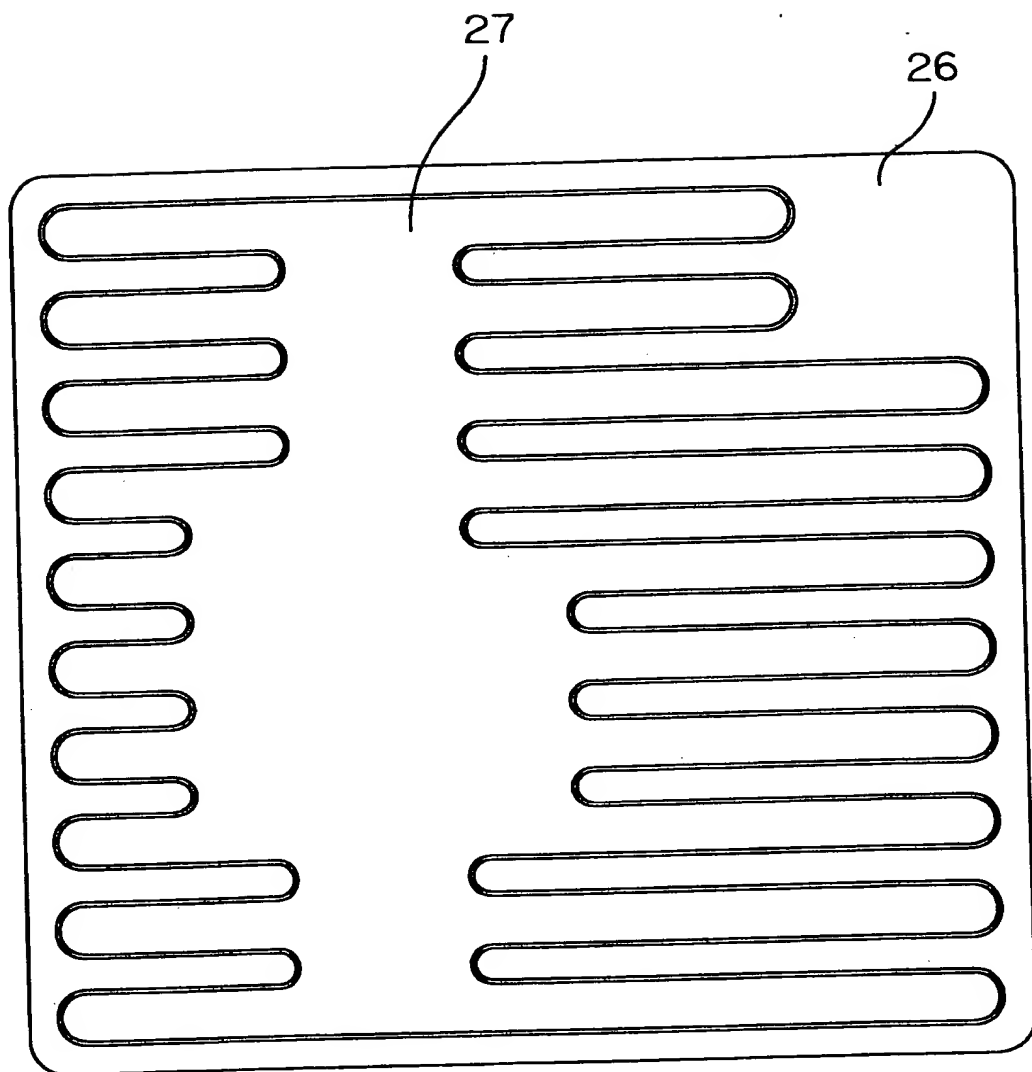
【図 5】



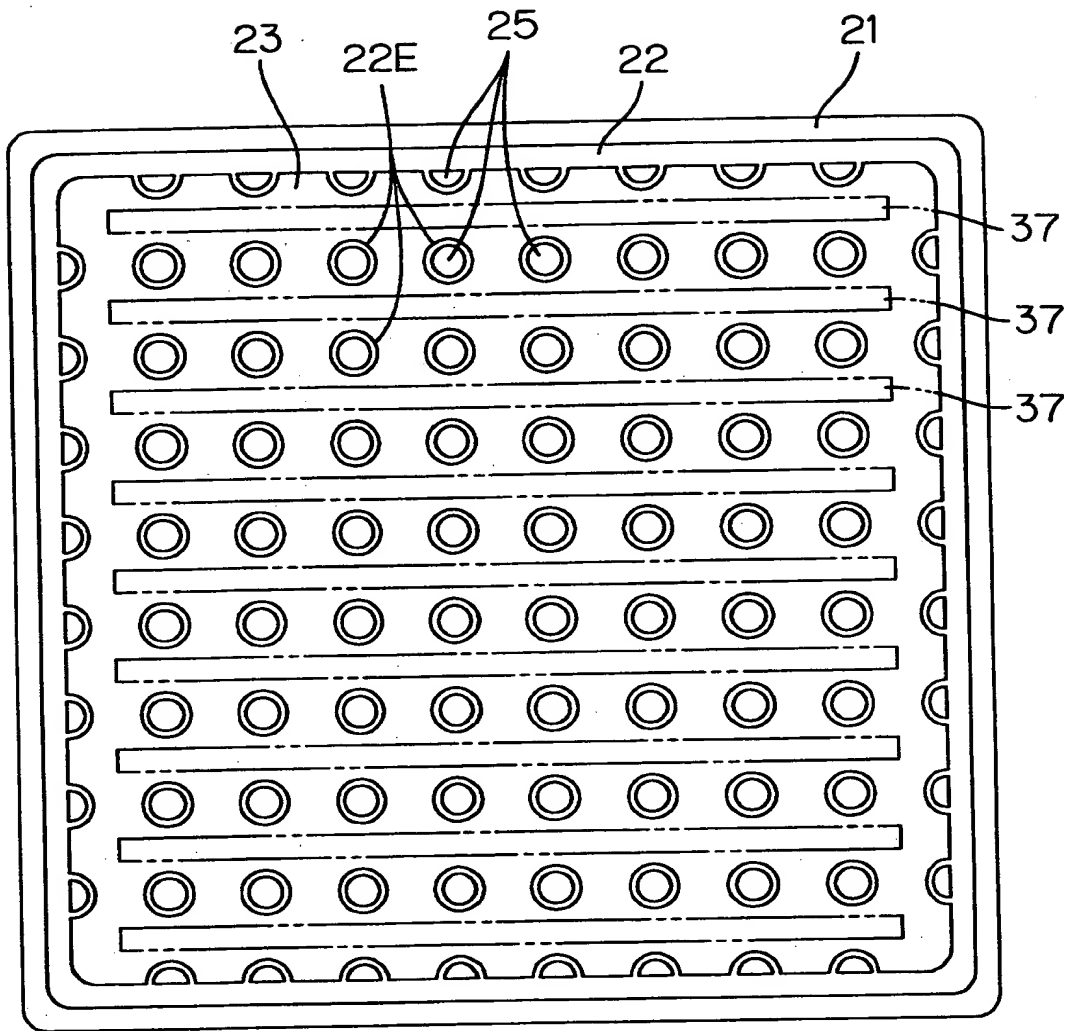
【図 6】



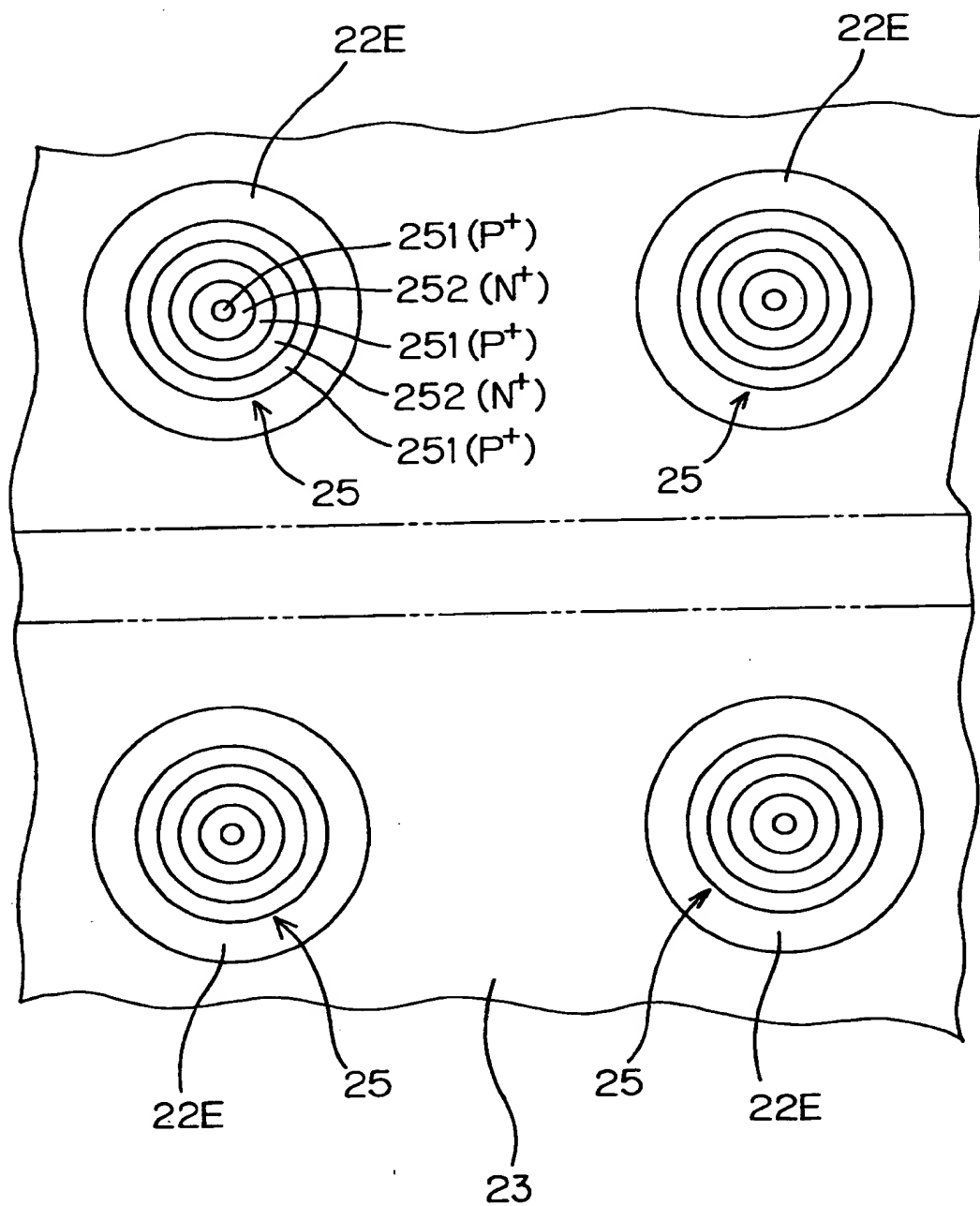
【図 7】



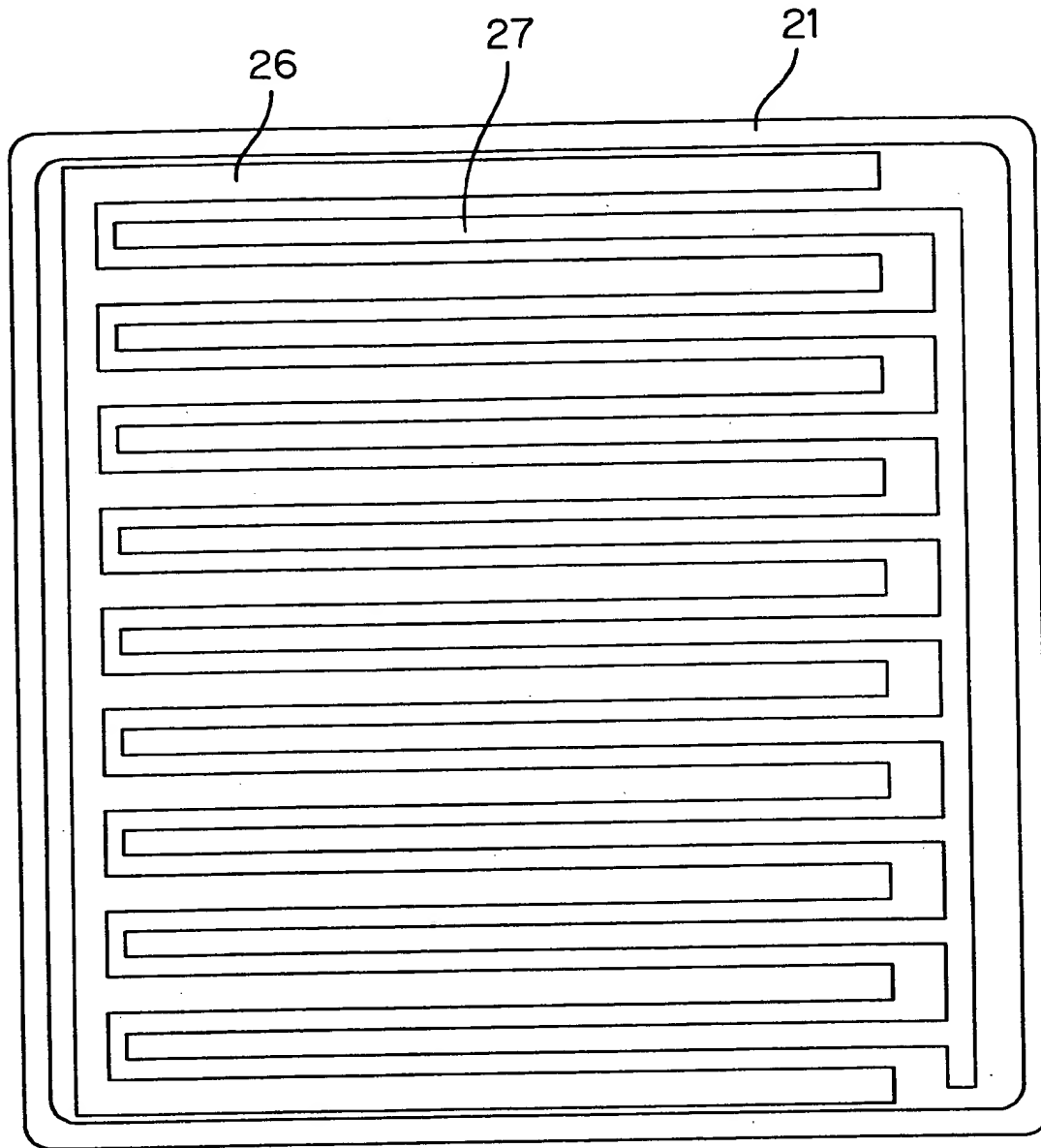
【図 8】



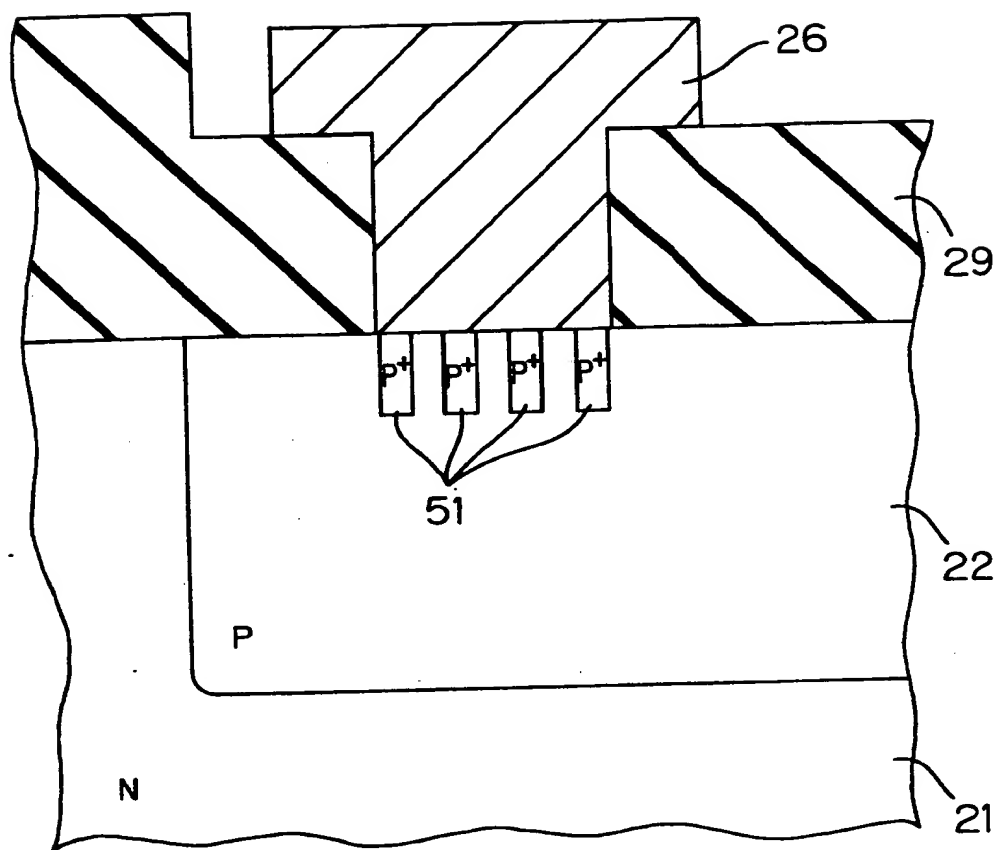
【図9】



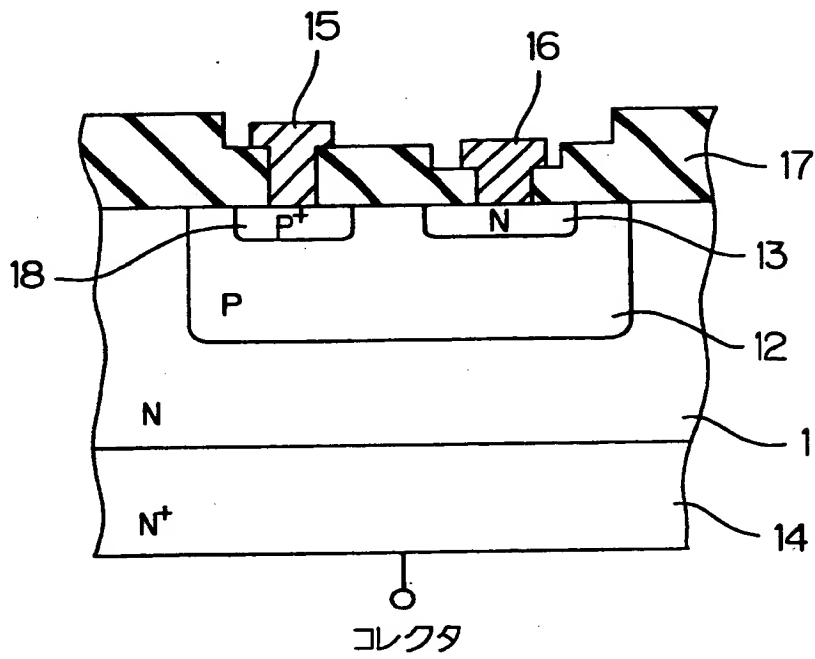
【図10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 高速なスイッチングが可能で、かつ、消費電力の低減を図ることができるバイポーラトランジスタを有する半導体装置を提供する。

【解決手段】 P型ベース領域 2 2 にユニバーサル電極構造部 2 5 が内蔵されており、このユニバーサル電極構造部 2 5 にベース電極 2 6 が接合されている。ユニバーサル電極構造部 2 5 は、電荷の移動方向と交差する方向に沿って、 P^+ 型領域 2 5 1 と N^+ 型領域 2 5 2 とを交互に配列して構成されている。これにより、ベース領域 2 2 における小数キャリア（電子）は、N型領域 2 5 2 へと引き込まれるので、ベース領域 2 2 における電子の蓄積が抑制される。

【選択図】 図 2

特平11-12451

出 願 人 履 歴 情 報

識別番号

[000116024]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町21番地

氏 名

ローム株式会社